



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010065914 (43) Publication Date. 20010711

(21) Application No.1019990066930 (22) Application Date. 19991230

(51) IPC Code:  
H01L 21/336

(71) Applicant:  
HYNIX SEMICONDUCTOR INC.

(72) Inventor:  
YEO, IN SEOK

(30) Priority:

(54) Title of Invention  
METHOD FOR MANUFACTURING DAMASCENE GATE TYPE MOS TRANSISTOR

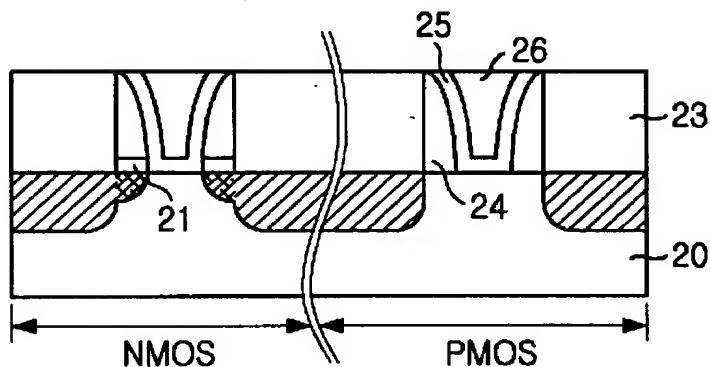
Representative drawing

(57) Abstract:

PURPOSE: A method for manufacturing a damascene gate type MOS transistor is to prevent an occurrence of cracks or voids within the damascene gate, thereby enhancing the reliability.

CONSTITUTION: A dummy gate of the first conductive type impurity-doped oxide film(21) and a dummy gate material film is formed on a silicon substrate(20) provided with the first conductive type MOS transistor region and the second conductive type MOS transistor region. A high impurity ion is implanted into the semiconductor substrate to form source and drain regions. An interlayer dielectric(23) is deposited to fill a space between the dummy gates. The dummy gate is removed to form a damascene gate groove. The first conductive type impurity-doped oxide film of the second conductive type MOS transistor region is removed. An insulating spacer(24) is formed on a sidewall of the damascene gate groove such that the oxide film remains only below the insulating spacer of the first conductive type MOS transistor region. The resultant substrate is annealed, so that the first conductive type impurity is diffused into the semiconductor substrate of the first conductive type MOS transistor region to form an LDD(lightly doped drain) structured source and drain regions.

COPYRIGHT 2001 KIPO



if display of image is failed, press (F5)

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 21/336	(11) 공개번호 (43) 공개일자	특2001-0065914 2001년07월 11일
(21) 출원번호 (22) 출원일자	10-1999-0066930 1999년 12월 30일	
(71) 출원인	주식회사 하이닉스반도체	
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 여인석	
(74) 대리인	경기도성남시분당구서현동한신아파트124-202 특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최증식, 특허법인 신성 박정후, 특허법인 신성 정지원	

심사청구 : 없음

## (54) 대머신 게이트형 모스 트랜지스터 제조방법

### 요약

본 발명은 반도체 제조 기술에 관한 것으로, 특히 대머신(damascene) 게이트형 모스 트랜지스터 제조방법에 관한 것이며, 대머신 게이트 내부의 갈라짐이나 보이드 발생을 방지할 수 있는 대머신 게이트형 모스 트랜지스터 제조방법을 제공하는데 그 목적이 있다. 상기 목적을 달성하기 위한 본 발명은, 제1 도전형 모스 트랜지스터 영역과 제2 도전형 모스 트랜지스터 영역을 구비한 반도체 기판 상에 제1 도전형 불순물이 도핑된 산화막 및 더미 게이트용 물질막을 형성하는 제1 단계; 상기 더미 게이트용 물질막 및 상기 산화막을 패터닝하여 더미 게이트를 형성하는 제2 단계; 상기 제2 단계 수행 후 노출된 상기 제1 및 제2 도전형 모스 트랜지스터 영역의 상기 반도체 기판 각각에 소오스/드레인 형성을 위한 고농도 불순물 이온주입을 실시하는 제3 단계; 상기 더미 게이트 사이의 간극을 층간절연막으로 매립하여 평탄화를 이루는 제4 단계; 상기 더미 게이트를 제거하여 대머신 게이트용 홈을 형성하는 제5 단계; 상기 제2 도전형 트랜지스터 영역의 상기 산화막을 제거하는 제6 단계; 상기 대머신 게이트용 홈 측벽에 절연막 스페이서를 형성하되, 상기 제1 도전형 모스 트랜지스터 영역의 상기 절연막 스페이서 하부에만 상기 산화막이 잔류되도록 하는 제7 단계; 열처리를 실시하여 상기 산화막 내의 불순물이 상기 제1 도전형 모스 트랜지스터 영역의 상기 반도체 기판으로 확산되도록 하여 LDD 구조의 소오스/드레인을 형성하는 제8 단계; 상기 제8 단계를 마친 전체 구조 상부에 게이트 절연막 및 게이트 전극용 전도막을 형성하는 제9 단계; 및 상기 게이트 전극용 전도막을 리세싱하여 상기 대머신 게이트용 홈 내부에만 잔류되도록 하는 제10 단계를 포함하여 이루어진다.

### 대표도

### 도2g

### 색인어

대머신 게이트 전극용 홈, 절연막 스페이서, PSG막

### 명세서

### 도면의 간단한 설명

도 1a 내지 도 1g는 종래기술에 따른 대머신 게이트형 모스 트랜지스터 제조 공정도.

도 2a 내지 도 2g는 본 발명에 따른 일실시예인 대머신 게이트형 모스 트랜지스터 제조 공정도.

### \*도면의 주요부분에 대한 부호의 간단한 설명

- |              |                  |
|--------------|------------------|
| 20 : 실리콘 기판  | 21 : PSG막        |
| 23 : 층간절연막   | 24 : 절연막 스페이서    |
| 25 : 게이트 절연막 | 26 : 게이트 전극용 전도막 |

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 대머신(damascene) 게이트형 모스 트랜지스터 제조방법에 관한 것이다.

일반적으로, 모스 트랜지스터의 게이트 전극을 형성함에 있어서, 도핑된 폴리실리콘(doped polysilicon)을 사용해 왔다. 그러나, 반도체 소자의 고집적화에 따라 소자를 이루는 패턴이 미세화되고 있으며, 최근에는  $0.15\mu\text{m}$  선폭 이하까지 미세화가 진행되고 있다. 이에 따라, 통상적인 전극 형성시 사용되어 온 도핑된 폴리실리콘은 그 자체의 높은 비저항 특성으로 인하여 자연 시간이 길기 때문에 빠른 동작을 요구하는 반도체 소자에 적용하기가 어려운 문제점이 있었다.

이러한 문제점은 반도체 장치의 고집적화에 따라 더욱 심각한 문제로 대두되고 있으며, 이를 개선하기 위하여 1기가 디램(DRAM)급 이상의 반도체 소자 제조시 전극 재료로서 비저항이 낮은 텅스텐(W)과 같은 금속계 물질의 적용이 유력시되고 있다.

그러나, 이와 같은 비저항이 낮은 금속계 물질을 사용하여 게이트 전극을 형성할 경우 다음과 같은 근본적인 문제를 안고 있다. 게이트 산화막(gate oxide) 상에 금속계 물질막을 포함하는 게이트 전극 물질을 증착하고, 게이트 전극 마스크를 이용하여 이들을 패터닝할 때 게이트 산화막의 열화가 발생하는데, 이를 보상하기 위하여 게이트 구조를 재산화시키게 된다. 그런데, 게이트 재산화 공정시 금속계 물질막의 이상산화 현상이 유발되어 부도체를 형성하고 패터닝된 게이트 전극의 프로파일을 열화시키는 문제점이 있었다.

대머신 게이트 기술은 이러한 문제점들을 해결할 수 있는 대안으로 부각되고 있다. 또한, 대머신 게이트에는 고유전율 박막을 게이트 절연막으로 적용할 수 있어 향후 차세대 반도체 소자에의 적용이 유망하다.

첨부된 도면 도 1a 내지 도 1g는 종래기술에 따른 대머신 게이트형 모스 트랜지스터 제조 공정도로서, 더미(dummy) 게이트를 사용한 공정을 도시하고 있다.

종래기술에 따른 대머신 게이트형 모스 트랜지스터 제조 공정은, 우선 도 1a에 도시된 바와 같이 실리콘 기판(10) 상에 열산화막(11) 및 폴리실리콘막을 증착하고, 이를 패터닝하여 더미 게이트(12)를 형성한다.

다음으로, 도 1b에 도시된 바와 같이 더미 게이트(12) 패터닝 시 더미 게이트(12) 및 열산화막(11)이 받은 손상을 회복시키고, LDD(Lightly Doped Drain) 이온주입 시 스크린 산화막 역할을 수행할 수 있도록 하기 위하여 LDD 산화공정을 실시하고, LDD 이온주입( $n^-$  이온주입) 및 열처리를 실시한다. 도면부호 '13'은 LDD 산화공정에 의해 더미 게이트(12) 표면에 형성된 열산화막을 나타낸 것이다.

다음으로, 도 1c에 도시된 바와 같이 더미 게이트(12) 측벽에 질화막 스페이서(14)를 형성하고, 소오스/드레인 형성을 위한 고농도 이온주입( $n^+$  이온주입) 및 열처리를 실시한다.

계속하여, 도 1d에 도시된 바와 같이 전체 구조 상부에 층간절연막(15)을 증착하고, 화학적·기계적 연마(Chemical Mechanical Polishing, CMP) 공정을 실시하여 더미 게이트(12)가 노출될 정도로 층간절연막(15)을 평탄화한다.

이어서, 도 1e에 도시된 바와 같이 더미 게이트(12)를 건식식각법 또는 습식식각법을 사용하여 선택적으로 제거한다.

계속하여, 도 1f에 도시된 바와 같이 노출된 열산화막(11, 13)을 제거한 후 노출된 실리콘 기판(10) 표면에 게이트 절연막(16)을 형성하고, 이어서 게이트 전극용 금속막(17)을 차례로 증착한다. 이때, 게이트 전극용 금속막(17)은 텅스텐(W)을 화학적 기상 증착(Chemical Vapor Deposition, CVD)법으로 증착한다.

다음으로, 도 1g에 도시된 바와 같이 층간절연막(15)이 노출될 정도로 CMP 공정을 실시하여 평탄화를 이룬다.

그러나, 상기와 같이 종래의 더미 게이트 형성공정은 게이트 전극용 금속막(17) 증착 시 더미 게이트(12)가 형성되어 있던 게이트 전극용 홈에 게이트 전극용 금속막(17)이 완전히 매립되지 못하고, 갈라짐(seam, A)이나 보이드(void, B)가 발생한다.(도 1f 참조)

이러한 갈라짐(A)이나 보이드(B)는 대머신 게이트용 홈이  $0.07\mu\text{m}$  이하의 선폭과 1500 ~ 4000 Å 정도의 깊이로 단차비가 증가하는 것에 기인하는 것이다.

이와 같은 갈라짐과 보이드가 발생하게 되면, 후속 CMP 공정 시 CMP용 캐미컬(chemical)의 침투에 의해 갈라짐(A)과 보이드(B)가 더욱 더 커져 게이트 특성의 열화가 심화되는 문제점이 있었다.(도 1g 참조)

#### 발명이 이루고자하는 기술적 과제

본 발명은 대머신 게이트 내부의 갈라짐이나 보이드 발생을 방지할 수 있는 대머신 게이트형 모스 트랜지스터 제조방법을 제공하는데 그 목적이 있다.

# 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 제1 도전형 모스 트랜지스터 영역과 제2 도전형 모스 트랜지스터 영역을 구비한 반도체 기판 상에 제1 도전형 불순물이 도핑된 산화막 및 더미 게이트용 물질막을 형성하는 제1 단계; 상기 더미 게이트용 물질막 및 상기 산화막을 패터닝하여 더미 게이트를 형성하는 제2 단계; 상기 제2 단계 수행 후 노출된 상기 제1 및 제2 도전형 모스 트랜지스터 영역의 상기 반도체 기판 각각에 소오스/드레인 형성을 위한 고농도 불순물 이온주입을 실시하는 제3 단계; 상기 더미 게이트 사이의 간극을 충전절연막으로 매립하여 평탄화를 이루는 제4 단계; 상기 더미 게이트를 제거하여 대머신 게이트용 홈을 형성하는 제5 단계; 상기 제2 도전형 트랜지스터 영역의 상기 산화막을 제거하는 제6 단계; 상기 대머신 게이트용 홈 측벽에 절연막 스페이서를 형성하되, 상기 제1 도전형 모스 트랜지스터 영역의 상기 절연막 스페이서 하부에만 상기 산화막이 잔류되도록 하는 제7 단계; 열처리를 실시하여 상기 산화막 내의 불순물이 상기 제1 도전형 모스 트랜지스터 영역의 상기 반도체 기판으로 확산되도록 하여 LDD 구조의 소오스/드레인을 형성하는 제8 단계; 상기 제8 단계를 마친 전체 구조 상부에 게이트 절연막 및 게이트 전극용 전도막을 형성하는 제9 단계; 및 상기 게이트 전극용 전도막을 리세싱하여 상기 대머신 게이트용 홈 내부에만 잔류되도록 하는 제10 단계를 포함하여 이루어진다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 2a 내지 도 2g는 본 발명에 따른 일 실시예인 대머신 게이트형 모스 트랜지스터 제조 공정도로서, 더미(dummy) 게이트를 사용한 공정을 도시하고 있다.

본 실시예는 먼저, 도 2a에 도시된 바와 같이 웰(well, 도시되지 않음)을 형성한 후 문턱전압 조정을 위한 이온주입을 실시한 실리콘 기판(20) 상에 인(phosphorus) 이온이 2 ~ 6% 정도의 농도로 도핑된 PSG(phospho silicate glass)막(21)을 200 ~ 400 Å 정도의 두께로 증착한 후 폴리실리콘막을 증착하고, 이를 패터닝하여 1500 ~ 4000 Å 정도의 두께를 가지는 더미 게이트(22)를 형성한다.

다음으로, 도 2b에 도시된 바와 같이 노출된 PSG막(21)을 제거한 후 소오스/드레인 형성을 위한 고농도 이온주입을 실시한다. 이때, NMOS 트랜지스터 영역에는  $n^+$  소오스/드레인 형성을 위하여 As(Arsenic) 이온주입을 실시하고, PMOS 트랜지스터 영역에는  $p^+$  소오스/드레인 형성을 위하여  $BF_3$  또는 B 이온주입을 실시한다.

다음으로, 도 2c에 도시된 바와 같이 전체 구조 상부에 화학 기상 증착(Chemical Vapor Deposition, CVD)법을 사용하여 충전절연막(23)을 3000 ~ 5000 Å 정도의 두께로 증착하고, CMP를 실시하여 더미 게이트(22)가 노출될 정도로 충전절연막(23)을 평탄화한다. 계속하여, 더미 게이트(22)를 TMAH(Trimethyl Ammonia Hydroxide) 용액을 사용한 습식식각법으로 선택적 제거하여 충전절연막(23)에 대머신 게이트용 홈을 형성한다. 이때, 더미 게이트(22)의 제거는  $SF_6$  가스를 소오스 가스로 한 플라즈마 건식식각법으로 제거할 수도 있다.

다음으로, 도 2d에 도시된 바와 같이 전체 구조 상부에 질화막 또는 산화막과 같은 절연막을 CVD법으로 증착한 후 마스크를 사용하지 않고 전면 건식식각을 수행하여 대머신 게이트용 홈을 둘러싸고 있는 충전절연막(23) 측벽에 절연막 스페이서(24)를 형성한다. 이때, PMOS 트랜지스터 영역의 경우에는 대머신 게이트용 홈에 잔류된 PSG막(21)을 BHF(buffered HF)용액을 사용한 습식 식각법으로 제거한 후 절연막 스페이서(24)를 형성하여 NMOS 트랜지스터 영역에 형성된 절연막 스페이서의 하부에만 PSG막(24)이 남아있도록 한다.

한편, 도 2a 내지 도 2d에 도시된 공정까지는 공정온도를 650℃ 이하로 하여 진행하도록 한다.

계속하여, 도 2e에 도시된 바와 같이 LDD(Lightly Doped Drain)구조 NMOS 트랜지스터 형성을 위한 열처리를 실시하여 NMOS 트랜지스터 영역의 절연막 스페이서(24) 하부에 남아있는 PSG막(21)의 인이온이 인접한 실리콘 기판(20)으로 확산되어  $n^-$  LDD 영역이 형성되도록 한다. 이때, 열처리는  $N_2$  또는  $O_2$  분위기에서 급속열처리(Rapid Thermal Annealing, RTA)법 또는 노(furnace) 열처리법으로 수행하는데, RTA 시에는 800 ~ 1100℃ 정도의 온도에서 30 ~ 120초 정도 수행하며, 노 열처리 시에는 700 ~ 1000℃ 정도의 온도에서 20 ~ 60분 정도 수행한다.

다음으로, 도 2f에 도시된 바와 같이 노출된 실리콘 기판(20)을 습식세정한 후 전체 구조 상부에 게이트 절연막(25) 및 게이트 전극용 금속막(26)을 증착한 후 CMP 공정을 진행하여 게이트 전극용 금속막(26)이 대머신 게이트용 홈내에만 잔류하도록 한다. 이때, 게이트 절연막(25)은  $SiO_2$ ,  $Al_2O_3$ ,  $Ta_2O_5$ 와 같은 물질을 단독 또는 조합하여 사용하여, 20 ~ 100 Å 정도의 두께로 증착한다. 그리고, 게이트 전극용 금속막(26) 물질로는 폴리실리콘(polysilicon), 폴리실리콘-게르마늄(poly silicon-germanium), 텅스텐(W), 실리사이드(silicide)와 같은 물질을 단독 또는 조합하여 사용한다.

이렇듯, 본 발명은 대머신 게이트용 홈내에 게이트 전극용 전도막을 매립함에 있어서, 대머신 게이트용 홈 측벽이 양의 경사면(positive slope)을 갖도록 절연막 스페이서를 형성하여 게이트 전극용 전도막의 갭-필 능력을 향상시킴으로써, 갈라짐이나 보이드를 방지할 수 있다.

또한, NMOS 트랜지스터 영역에 형성된 절연막 스페이서 하부에만 PSG막이 남도록 형성하여 열처리 시

PSG막에 포함되어 있는 인 이온이 실리콘 기판으로 확산되도록 함으로써,  $n^+$  LDD 구조를 가진 NMOS 트랜지스터를 형성할 수가 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 발명의 효과

본 발명은 대머신 게이트용 홈에 게이트 전극용 전도막을 매립함에 있어서, 갈라짐이나 보이드를 방지하는 효과가 있으며, 이에 따라 게이트 특성 및 수율을 향상시키는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1

제1 도전형 모스 트랜지스터 영역과 제2 도전형 모스 트랜지스터 영역을 구비한 반도체 기판 상에 제1 도전형 불순물이 도핑된 산화막 및 더미 게이트용 물질막을 형성하는 제1 단계;

상기 더미 게이트용 물질막 및 상기 산화막을 패터닝하여 더미 게이트를 형성하는 제2 단계;

상기 제2 단계 수행 후 노출된 상기 제1 및 제2 도전형 모스 트랜지스터 영역의 상기 반도체 기판 각각에 소오스/드레인 형성을 위한 고농도 불순물 이온주입을 실시하는 제3 단계;

상기 더미 게이트 사이의 간극을 층간절연막으로 매립하여 평탄화를 이루는 제4 단계;

상기 더미 게이트를 제거하여 대머신 게이트용 홈을 형성하는 제5 단계;

상기 제2 도전형 트랜지스터 영역의 상기 산화막을 제거하는 제6 단계;

상기 대머신 게이트용 홈 측벽에 절연막 스페이서를 형성하되, 상기 제1 도전형 모스 트랜지스터 영역의 상기 절연막 스페이서 하부에만 상기 산화막이 잔류되도록 하는 제7 단계;

열처리를 실시하여 상기 산화막 내의 불순물이 상기 제1 도전형 모스 트랜지스터 영역의 상기 반도체 기판으로 확산되도록 하여 LDD 구조의 소오스/드레인을 형성하는 제8 단계;

상기 제8 단계를 마친 전체 구조 상부에 게이트 절연막 및 게이트 전극용 전도막을 형성하는 제9 단계; 및

상기 게이트 전극용 전도막을 리세싱하여 상기 대머신 게이트용 홈 내부에만 잔류되도록 하는 제10 단계를 포함하여 이루어진 대머신 게이트형 모스 트랜지스터 제조방법.

##### 청구항 2

제1항에 있어서,

상기 열처리는,

800~1100℃의 온도의  $N_2$  또는  $O_2$  가스 분위기에서 급속열처리 방식으로 실시하는 것을 특징으로 하는 대머신 게이트형 모스 트랜지스터 제조방법.

##### 청구항 3

제1항에 있어서,

상기 열처리는,

700~1000℃의 온도의  $N_2$  또는  $O_2$  가스 분위기에서 노 열처리 방식으로 실시하는 것을 특징으로 하는 대머신 게이트형 모스 트랜지스터 제조방법.

##### 청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 산화막이,

200~400Å 두께인 것을 특징으로 하는 대머신 게이트형 모스 트랜지스터 제조방법.

청구항 5

제4항에 있어서,

상기 산화막이,

인(P)이 2~6%의 농도로 도핑된 PSG막인 것을 특징으로 하는 대머신 게이트형 모스 트랜지스터 제조방법.

청구항 6

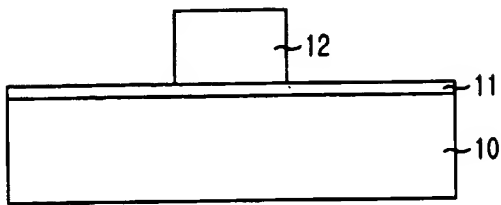
제3항에 있어서,

상기 제1 내지 제7 단계는,

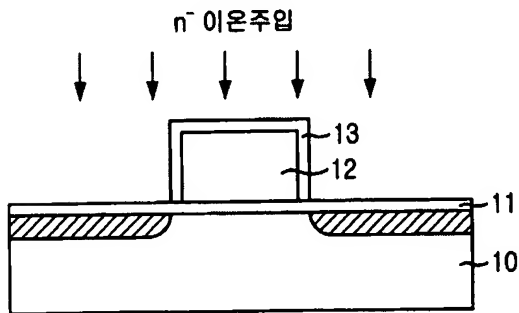
650℃ 이하의 온도에서 수행하는 것을 특징으로 하는 대머신 게이트형 모스 트랜지스터 제조방법.

도면

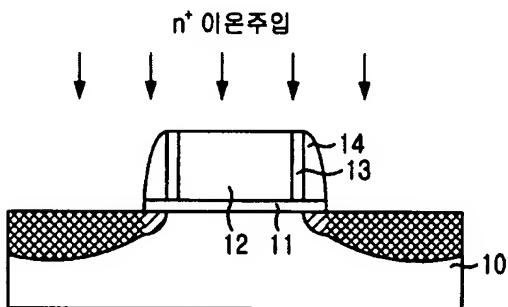
도면 1a



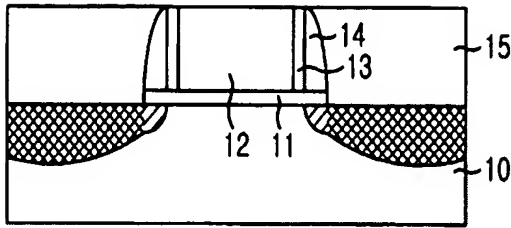
도면 1b



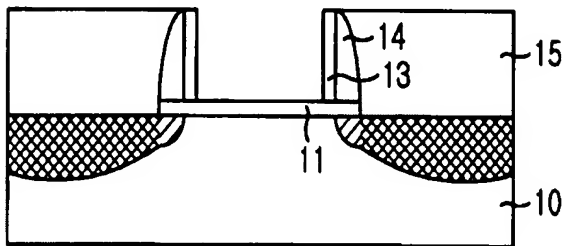
도면 1c



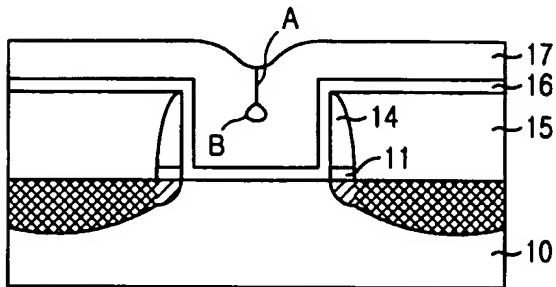
도면 1d



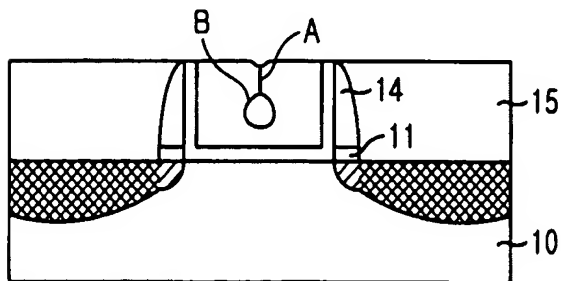
도면 1e



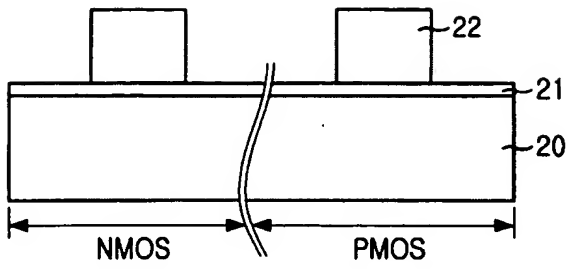
도면 1f



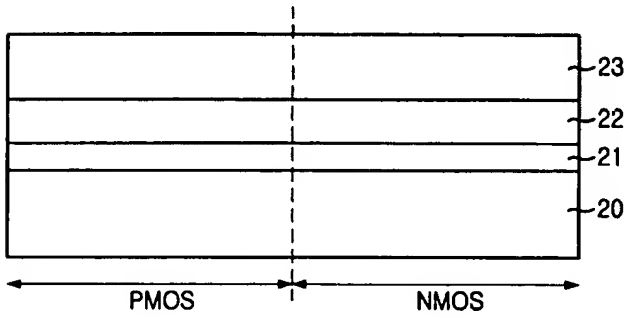
도면 1g



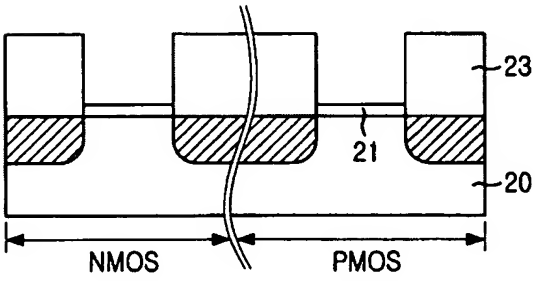
도면2a



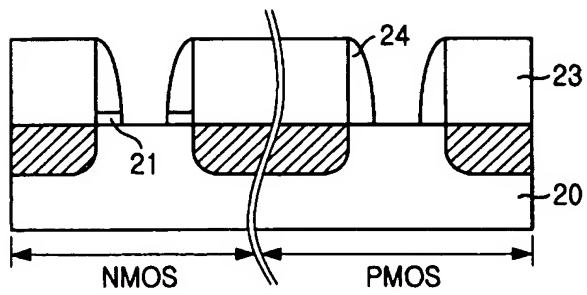
도면2b



도면2c

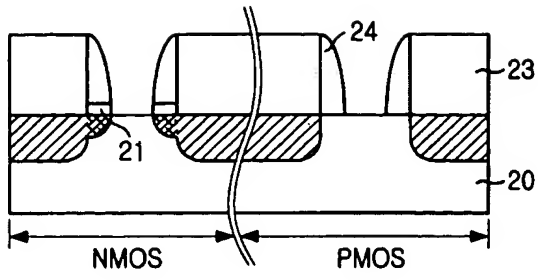


도면2d

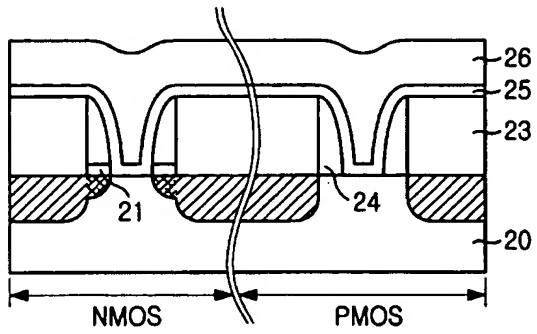




도면2e



도면2f



도면2g

